

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-257161

(43)Date of publication of application : 18.12.1985

(51)Int.Cl.

H01L 27/04

H01F 19/04

H01L 27/06

(21)Application number : 59-112651

(71)Applicant : NEC CORP

(22)Date of filing : 01.06.1984

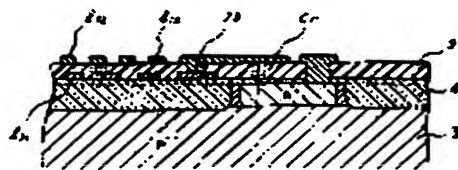
(72)Inventor : KUSAMA NOBORU
SHINOZAKI SATORU

(54) SEMICONDUCTOR TRANSFORMER COUPLING CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To make a monolithic semiconductor circuit by a method wherein an insulating film is arranged in coil type close to a semiconductor with one end of the film grounded through the intermediary of a capacity to be reactance-coupled at an optional input/output impedance ratio.

CONSTITUTION: Conductor wirings I11, I12... are arranged on a thick insulating film 4 as double structure to be coupled with one another through the intermediary of a capacity 11 while the circuit operation of coupling coils I11, I12... is stabilized to reinforce the coupling force. The operation of capacities C11, C12... is stabilized since a silicon nitride film 27 may be individually designed as a dielectric. Therefore, a transformer circuit made as a hybrid structure may be made as a monolithic semiconductor device together with other circuit elements. Through these procedures, semiconductor chips may be miniaturized while assuring the transformer coupling circuit of high reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-257161

⑬ Int. Cl.⁴

H 01 L 27/04
H 01 F 19/04
H 01 L 27/06

識別記号

1 0 1

庁内整理番号

L-7514-5F
2109-5E
7925-5F

⑭ 公開 昭和60年(1985)12月18日

審査請求 有 発明の数 1 (全7頁)

⑮ 発明の名称 半導体変成器結合回路装置

⑯ 特 願 昭59-112651

⑰ 出 願 昭59(1984)6月1日

⑱ 発 明 者 草 間 昇
⑲ 発 明 者 篠 崎 了
⑳ 出 願 人 日本電気株式会社
㉑ 代 理 人 弁理士 内 原 晋

東京都港区芝5丁目33番1号 日本電気株式会社内
東京都港区芝5丁目33番1号 日本電気株式会社内
東京都港区芝5丁目33番1号

明 細 書

1. 発明の名称

半導体変成器結合回路装置

2. 特許請求の範囲

- (1) 半導体基板と、前記半導体基板上の絶縁膜面に互いに近接するコイル形状に配置され、その一端を半導体基板に形成した容量を介してそれぞれ接地し、且つ任意の入出力インピーダンス比でリアクタンス結合する2つの導体配線から成る2端子対回路を備えることを特徴とする半導体変成器結合回路装置。
- (2) 前記2端子対回路の2つの導体配線が同一絶縁膜面上に形成された溝部を隔て空間的に配置され、電磁結合することを特徴とする特許請求の範囲第(1)項記載の半導体変成器結合回路装置。
- (3) 前記2端子対回路の2つの導体配線が2層に形成された絶縁膜面上に互に対向配置され、前記2層目の絶縁膜を介し容量結合することを

特徴とする特許請求の範囲第(1)項記載の半導体変成器結合回路装置。

- (4) 前記2端子対回路の2つの導体配線的一端部が、半導体基板内掘込み層の接合容量を介し、それぞれ接地されることを特徴とする特許請求の範囲第(1)項記載の半導体変成器結合回路装置。
- (5) 前記2端子対回路の2つの導体配線的一端部が、半導体基板上の絶縁膜を誘電体とする容量を介し、それぞれ接地されることを特徴とする特許請求の範囲第(1)項記載の半導体変成器結合回路装置。

3. 発明の詳細な説明

(技術分野)

本発明はモノリシック半導体集積回路の構成に適する半導体変成器結合回路装置に関する。

(従来技術)

トランジスタ回路により電力増幅を行うには、その入力側および出力側において、それぞれの利得が最大となるようにインピーダンス整合を行な

り必要があり、トランジスタ増幅回路の入力インピーダンス Z_i および負荷 R_L は、それぞれ $\sqrt{h_{11}\Delta h/h_{22}}$ および $\sqrt{h_{11}/h_{22}\Delta h}$ となるようにインピーダンス整合される。ここで Δh は、 $\Delta h = h_{11}h_{22} - h_{12}h_{21}$ で表わされるhパラメータ表示の量である。

このインピーダンス整合回路には、通常RC結合回路または変成器結合回路などが用いられるが、最近の技術傾向としてはトランジスタ素子と共にモノリシック半導体集積回路に構成できることが望ましい。RC結合回路はモノリシック半導体集積回路に構成し易いが、抵抗 R による損失が生ずるのみでなく、コレクタを直接地気におとす回路構成をとるとバイアスが掛けにくくなり、充分な利得が得られないという問題があり、また周波数特性上からの制約を受けるので、特にマイクロ波領域の結合回路としては好ましいものではない。一方変成器結合回路は回路構成が簡単で、変成比を変えることによりインピーダンス整合を容易に行えるが、結合コイルを必要とするので、モノリシック半導体集積回路に構成することがきわめて難しいとされていた回路であ

- 3 -

板と、前記半導体基板上の絶縁膜面に互いに近接するコイル形状に配置され、その一端を半導体基板上に形成した容量を介してそれぞれ接地し、且つ任意の入出力インピーダンス比でリアクタンス結合する2つの導体配線から成る2端子対回路を備えることを含んで構成される。

(発明の効果)

本発明によれば、変成器結合によるインピーダンス整合回路は、トランジスタ素子を含む他の回路素子と製造工程を共通にして、一つのモノリシック半導体集積回路を形成することができる。従って、従来のハイブリッド半導体構造で問題とされた回路組立工後は飛躍的に改善される他、特性のバラツキが減少し且つ半導体装置の小形化を達成することができる。またトランジスタ増幅回路に対し電圧帰還バイアス回路が容易に構成できるので、マイクロ波を含むトランジスタ回路の半導体化を一層促進せしめることが可能である。以下図面を参照して本発明を詳細に説明する。

(実施例の説明)

- 5 -

る。従って、この変成器による結合回路は、従来専らハイブリッド半導体集積回路で構成されて来た。しかしながら、回路の組立に多数の工程を要すること、治工具の精度により特性がバラツクなどの難点がある他、半導体装置そのものを著しく大形化するので、RC結合回路用様にモノリシック半導体集積回路に構成できることが望ましい。

ところで、マイクロ波回路におけるインピーダンス整合は通常ストリップ線路上のスタブで行なわれる。従って、マイクロ波回路に限って言えば、この手法を用いてモノリシック半導体集積回路に構成することは可能である。しかし、半導体基板上に占めるスタブの形成面積が大きいので、半導体装置の大きさは可成り大形なものとなる。

(発明の目的)

本発明の目的は、上記の情況に鑑み、モノリシック半導体構造を備えた半導体変成器結合回路装置を提供することである。

(発明の構成)

本発明半導体変成器結合回路装置は、半導体基

- 4 -

第1図は本発明をエミッタ接地多段トランジスタ増幅器に実施した場合の一実施例を示す接続回路図で、一点鎖線で囲んだ1および2に、それぞれ本発明半導体変成器結合回路装置の等価接続回路を示す。本実施例回路は通常のエミッタ接地多段トランジスタ増幅器で、この他初段トランジスタ Q_1 、次段トランジスタ Q_2 、……、入力結合容量 C_0 、直流電源 V_{cc} およびダイオード D_1 、 D_2 、……、抵抗 R_1 、 R_2 、 R_3 、 R_4 、 R_5 、 R_6 ……からなるバイアス回路その他を含む。変成器結合回路1および2は、それぞれリアクタンス結合する一対のコイル L_1 、および L_2 または L_3 および L_4 と、それぞれの一端を容量接地する容量 C_{11} 、 C_{12} 、 C_2 および C_3 から成る2端子対回路である。ここで容量 C_{11} 、 C_{12} 、 C_2 および C_3 は、それぞれ結合コイル L_1 、 L_2 、 L_3 および L_4 の一端を高周波的に接地し且つ地気である半導体基板上に直流分が流れるのを阻止するよう作用する。これら2端子対回路は、同一回路構成を以て各増幅段間にそれぞれ一つづつ挿入される。

- 6 -

一対の結合コイルの導体配線のそれぞれは、半導体基板上の絶縁膜面に互いに近接配置されて形成される。導体配線のそれぞれが一つの絶縁膜を共有する場合には、これら一対の結合コイルは互いに電磁結合し、2層に形成された絶縁膜面に対向配置された場合には、2層目の絶縁膜を誘電体とする容量を介して互いに容量結合する。また結合コイルの一端にそれぞれ挿入される直流阻止のための容量は全て半導体基板に形成される。これらの容量はシリコン酸化膜(SiO_2)またはシリコン窒化膜(Si_3N_4)を誘電体として形成するのが最も一般的で、安定したものが得られるが、トランジスタ素子の形成に合わせ、同一工程で形成した埋込み層の接合容量を利用することもできる。

第2図は本発明半導体実成器結合回路装置の一実施例を示す平面構造図、第3図は第2図を線X-X'に沿って切断し矢印方向に見たときの断面構造図である。本実施例では一対の結合コイル L_1 および L_2 の導体配線のみが表わされ、他のコイルは省略されている。一対の結合コイル L_1 、お

- 7 -

は、それぞれ導体配線 d_{11} 、 d_{12} とN⁺シリコン領域7、8との間およびn⁺埋込み層5、6とバイアス回路の抵抗 R_1 、 R_2 (何れも図示しない)からそれぞれ延びる導体配線15、16との間に形成されるオーミック接触部を示し、更に17および18はそれぞれ埋込み層5および6の周辺領域に形成したP⁺層のチャンネル・ストッパーである。このようにして、一対の結合コイルはその一端を埋込み層の接合容量を介して接地し、絶縁膜上で電磁結合する2端子対回路を構成する。従って巻線比を適宜選択することによって、任意のインピーダンス比でトランジスタ回路の入出力側をそれぞれインピーダンス整合する実成器結合回路として動作せしめることができる。以上はマイクロ波回路を対象に説明しているため、各半導体領域の不純物濃度も一つの例示として、掲げたものである。

一対の結合コイル L_1 および L_2 が周波数からの影響を受けず電磁結合するためには、下地酸化膜4は可及的に厚膜であることが望ましい。従って、酸化膜4は窒化シリコン(Si_3N_4)をマスク材とす

- 9 -

る L_2 は、不純物濃度 $7 \sim 8 \times 10^{18}$ 原子/cm³程度のP形シリコン基板3上に形成されたシリコン酸化膜(SiO_2)4面にアルミまたは多結晶シリコン導体配線 d_{11} 、 d_{12} で形成される。また直流阻止のための容量 C_1 および C_2 は、トランジスタ Q_1 、 Q_2 、……の埋込み層(何れも図示しない)の形成の際同時に形成された埋込み層5および6の接合容量がそれぞれ利用される。この埋込み層の接合容量を利用する半導体回路構造は、地気への配線を特に必要としないマイクロ波領域で効果をあげることができる。埋込み層5および6は、不純物濃度が 1×10^{18} 原子/cm³程度のN⁺シリコン層である。導体配線 d_{11} および d_{12} の一端は、不純物濃度が 1×10^{18} 程度のN⁺シリコン領域7および8を介して埋込み層5および6にそれぞれ接続される。ここにN形シリコン領域9および10は、酸化膜4の形成の際島状に残された 5×10^{18} 原子/cm³の不純物濃度のエピタキシャル層で、トランジスタ素子のコレクタ領域と同時に形成される。また11および12ならびに13および14

- 8 -

る公知の熱酸化手段によって、 $1.5 \sim 3.0 \mu\text{m}$ の厚膜に形成される。すなわち、P形基板3の一主面には、例えば砒素(A8)およびホウ素(B)がそれぞれイオン注入され、またN⁺埋込み層領域5、6およびチャンネル・ストッパー17、18の各P⁺層領域が形成される。これらはトランジスタ回路素子の製造工程で同時に形成できる。ついで基板全面にN形のエピタキシャル層を成長させ、更にこの上面に薄い窒化シリコン膜(Si_3N_4)がマスク層として形成される。最後にこの窒化膜を選択的に除去し熱酸化工程を行えば酸化膜4は $1 \sim 3 \mu\text{m}$ に成長し、所定の図形を形成し得る。なお、識別を容易にするため第2図ではこれにハッチングを施した。

トランジスタ Q_1 、 Q_2 、……抵抗 R_1 、 R_2 、……、ダイオード D_1 、 D_2 などの形成もまた公知の製造技術であり、これらの製造工程と共にN⁺シリコン領域7および8も同時に形成される。この際抵抗 R_1 、 R_2 ……は、トランジスタ Q_1 、 Q_2 、……の各ベース領域と同時に形成した拡散領域を利用するこ

- 10 -

とができる。また抵抗値の大きさによっては、前述の N^+ 埋込み層を利用することも可能である。

第4図、第5図および第6図は、半導体基板上に形成されるトランジスタ抵抗および容量の各半導体構造を示す図で、トランジスタの各領域と、抵抗および容量が利用する領域との関係をそれぞれ明らかにしたものである。ここでB、B'およびCはトランジスタのベース・エミッタおよびコレクタの各電極、Rはベース領域を利用した電極19a、19b間の抵抗、R'は N^+ 埋込み層を利用した電極20a、20b間の抵抗をそれぞれ示す。また接合容量 C_{00} は、第5図の場合は電極21を介して基板面から取り出され、第6図の場合は直接地気に接地される。第5図では埋込み層と地気との間にも容量は存在するが、ベース領域とコレクタ領域との間の方が通るかに大きい。すなわち抵抗および容量をトランジスタの各領域をそのまま用いて形成することも出来、その他種々の変形も可能である。

対となる結合コイル L_{11} および L_{12} ……および各

-11-

リミック半導体集積回路にきわめて容易に構成できる利点を有する。

第7図は本発明半導体実成器結合回路装置の他の実施例を示す断面構造図で、前実施例と共通する部分は同一符号で表わしたものである。本実施例では第1図に示した容量 C_{11} 、 C_{12} ……は窒化シリコン膜(Si_3N_4)22を誘電体として半導体基板上に形成され、また導体配線 d_1 および d_2 は互いに深い溝部23で空間的に配置され電磁結合される。ここで、 N^+ 層24はトランジスタの N^+ 層25と同時に形成された導電領域であり、26は容量の接地されるべき片電極である。

本実施例によれば、導体配線 d_1 および d_2 ……は全て厚い絶縁酸化膜4上に配置することが出来る他、空間的に電磁結合せしめることができるので、結合コイル L_{11} および L_{12} ……の回路動作は安定し、且つ結合力の大きさを一層強めることができる。また容量 C_1 および C_2 ……は大きな誘電率($\epsilon=6.0$)をもつ窒化シリコン膜を誘電体としてそれぞれ個別に設計し得るので、接合容量を用

-13-

取出し電極等は、以上の各回路素子形成後、基板全面に被覆されるアルミまたは多結晶シリコン層の選択的除去工程によって形成される。多結晶シリコンを用いた場合には、予かじめ不純物をドーブし且つアニールして活性化して置かねばならない。これらの除去工程には異方性ドライエッチング法(R. I. E)を用いることができる。これによって結合コイル L_{11} および L_{12} ……等の導体配線 d_1 および d_2 ……の線幅および間隔をきわめて精密に制御され、且つ微細寸法形状に加工されて形成される。すなわち、導体配線 d_1 および d_2 ……は、線幅および間隔がそれぞれ最小1.0~1.5 μm にまで微細化され配置される。従って対となる結合コイル L_{11} および L_{12} ……は酸化膜4面上にあっても充分電磁結合し実成器結合回路として機能することが可能となる。

以上明らかにしたように、本発明実成器結合回路装置の各回路素子は何れも半導体構造を備えており、且つその他の回路素子と基板を共通とし、全て既知の製造技術により形成し得るので、モノ

-12-

いた場合に比し回路動作はより安定化する。また絶縁酸化膜4上には更に窒化膜が形成されるので信頼性の向上はきわめて顕著である。導体配線間の溝部23は異方性ドライエッチング(R. I. E)を前実施例の場合よりも深く深く行えば容易にできる。この場合形成できる溝の深さは最大30 μm である。本実施例では絶縁酸化膜4に達したところで止めているが、もっと深く掘り下げてよい。本実施例の半導体装置も全て公知の技術で製造することのできるモノリシック半導体構造である。

第8図、第9図および第10図は本発明半導体実成器結合回路装置の更に他の実施例を示す断面構造図である。本実施例では窒化シリコン(Si_3N_4)膜27を挿んで2層構造に配線され、この窒化シリコン膜を誘電体として容量結合する導体配線 d_1 および d_2 ……と、同じくこの窒化シリコン膜27を誘電体として基板3上に形成された接地容量 C_{11} および C_{12} ……を含む。窒化シリコン膜27は公知のCVD法(ケミカル・ベーパー・デポジション)、特に熱CVD法によれば、0.1 μm 以

-14-

下の安定した膜質に気相成長せしめることができ且つ誘電率も6.0程度と大きいので、結合コイル L_{11} および L_{12} は効率良く容量結合することができる。第8図ないし第10図を参照すると、第1層目に配線された導体配線 ℓ_{11} の一端は、N⁺層25を介してトランジスタ Q_1 のコレクタに、また他端はスルー・ホール28を介して容量 C_{11} に接続され、また第2層目に配線された導体配線 ℓ_{12} の一端は直接容量 C_{12} の電極となり、N⁺層24を介し基板3上の電極26に導かれ、他端はスルー・ホール29を介してトランジスタ Q_2 のベースに接続される。第9図に現われる導体配線 ℓ_{13} はトランジスタ Q_2 のコレクタに接続される次段の結合回路の入力側結合コイルである。

本実施例によれば、導体配線 ℓ_{11} および ℓ_{12} 、……は全て厚い絶縁膜上に2層構造に配置され容量を介して結合せしめることができるので、結合コイル L_{11} および L_{12} 、……の回路動作は安定し、且つ結合力の大きさをより一層強めることができる。また容量 C_{11} 、 C_{12} 、……は第2層目の絶縁膜を形

-15-

増幅器に実施した場合の一実施例を示す接続回路図、第2図は本発明半導体変成器結合回路装置の一実施例を示す平面構造図、第3図は第2図を線X-X'に沿って切断し矢印方向に見たときの断面構造図、第4図、第5図および第6図は、半導体基板上に形成されるトランジスタ、抵抗および容量の各半導体構造を示す図、第7図は本発明半導体結合回路装置の他の実施例を示す断面構造図、第8図、第9図および第10図は、本発明半導体変成器結合回路装置の更に他の実施例を示す断面構造図である。

1, 2……本発明結合回路装置の等価接続回路、 L_{11} , L_{12} , L_{21} , L_{22} , ……結合コイル、 C_{11} , C_{12} , ……接地容量、 Q_1 , Q_2 , ……トランジスタ素子、 ℓ_{11} , ℓ_{12} , ……コイル導体配線、3……半導体基板、4……厚い酸化シリコン膜、5, 6……N⁺埋込み層、22, 27……酸化シリコン膜、23……絶縁膜に形成された溝部、28, 29……スルー・ホール。

代理人 弁理士 内 原

-17-

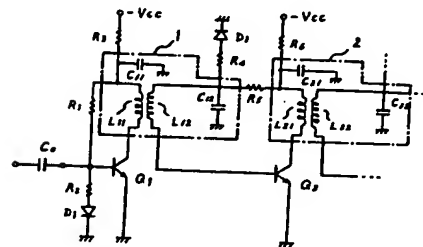
成する酸化シリコン膜をそのまま誘電体としてそれぞれ個別に設計し得るので、前実施例同様回路動作は安定化する。また前実施例同様に絶縁酸化膜4上には更に酸化膜が形成されているので、信頼性を顕著に向上することができる。本実施例の半導体装置も全て公知技術を用いて製造することのできるモノシリック半導体構造を備えるものである。

以上詳細に説明したように、本発明によれば、従来ハイブリッド構造で製造されていた変成器結合回路はトランジスタその他の回路素子と共にモノシリック半導体装置として製造することができるので、半導体チップを小形化し且つ信頼性を高めるうえに顕著な効果を有する。またバイアスの掛け方について制約を受けることがないので、トランジスタ増幅回路を種々の接地方式で構成することが可能である。

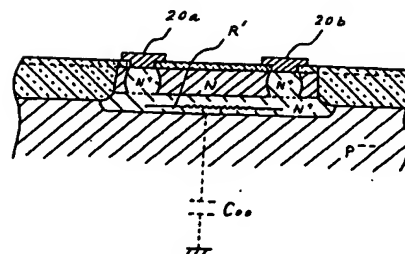
4. 図面の簡単な説明

第1図は本発明をエミッタ接地多段トランジス

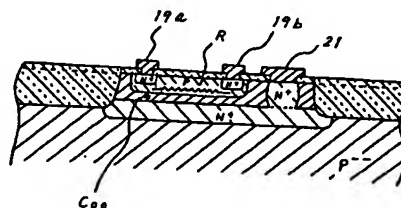
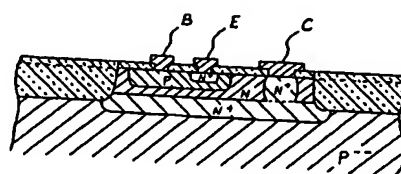
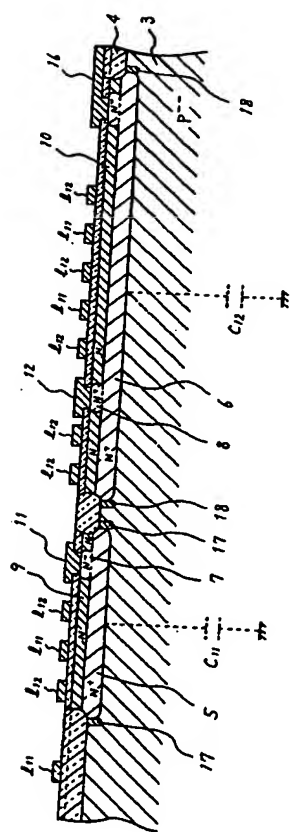
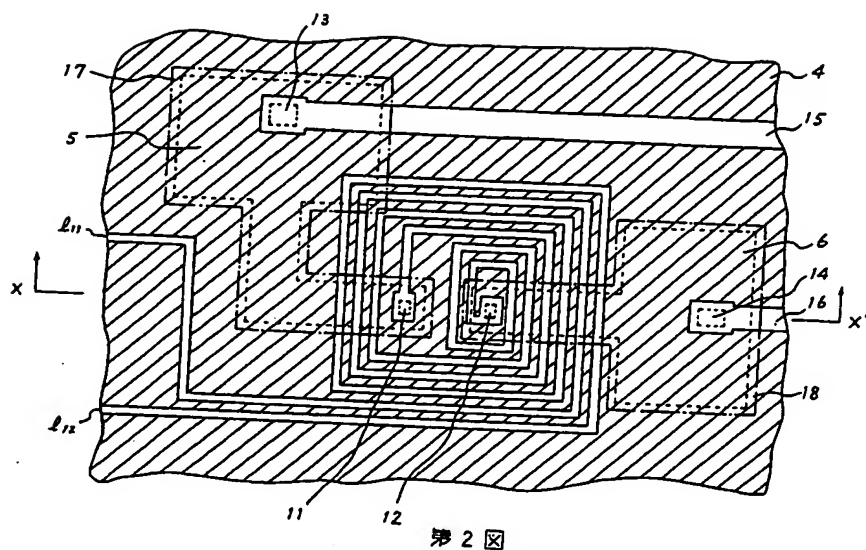
-16-

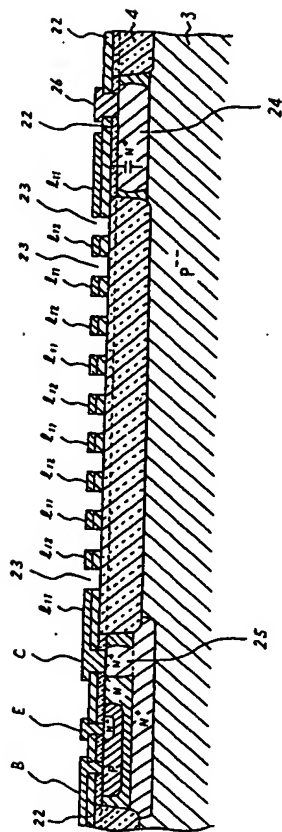


第1図

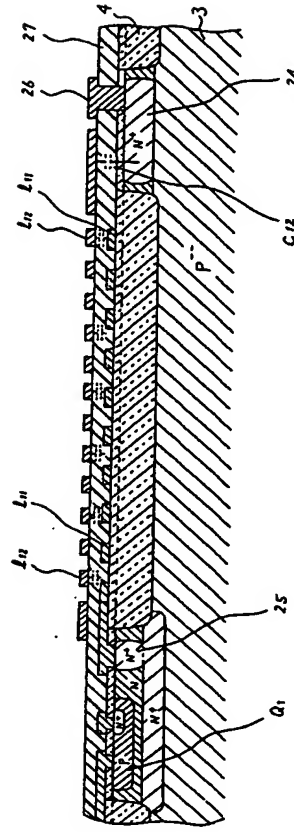


第6図

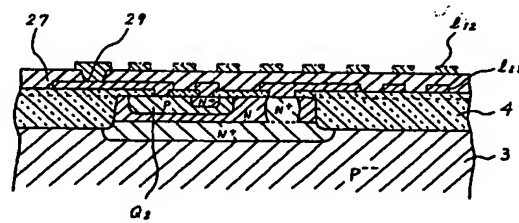




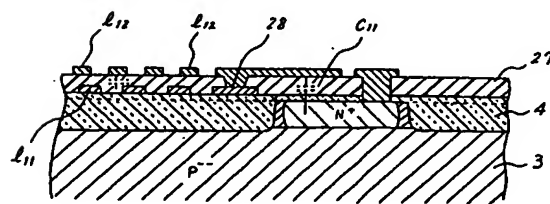
第7図



第8図



第9図



第10図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.